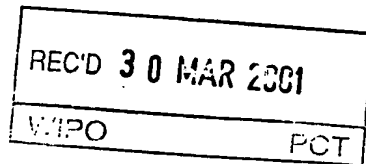


09/06281

PCT/JP01/00885

08.02.01

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 2月 8日

出 願 番 号
Application Number:

特願2000-031231

出 願 人
Applicant(s):

古河電気工業株式会社

#3
Priority
Extension
4-4-01

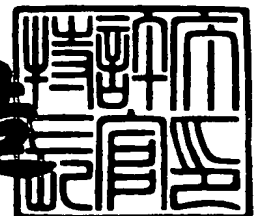
PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

PRIORITY

2001年 3月16日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3018293

【書類名】 特許願

【整理番号】 990356

【提出日】 平成12年 2月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 東京都千代田区丸の内 2 丁目 6 番 1 号 古河電気工業株式会社内

 【氏名】 渡辺 勇一

【特許出願人】

 【識別番号】 000005290

 【氏名又は名称】 古河電気工業株式会社

【代理人】

 【識別番号】 100089118

 【弁理士】

 【氏名又は名称】 酒井 宏明

【手数料の表示】

 【予納台帳番号】 036711

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源装置

【特許請求の範囲】

【請求項 1】 電力制御対象である主電流上に配置し、GaN系化合物を用いて形成した半導体素子と、

前記半導体素子を流れる主電流の導通を制御する制御手段と、
を備えたことを特徴とする電源装置。

【請求項 2】 電力制御対象である主電流上に配置し、GaN系化合物を用いて形成した半導体素子と、

前記半導体素子を流れる主電流の導通をスイッチング制御する制御手段と、
を備えたことを特徴とする電源装置。

【請求項 3】 前記半導体素子を複数備え、複数の前記半導体素子を並列接続したことを特徴とする請求項 1 または 2 に記載の電源装置。

【請求項 4】 前記複数の半導体素子を隣接配置したことを特徴とする請求項 3 に記載の電源装置。

【請求項 5】 前記半導体素子は、GaN-FETであることを特徴とする請求項 1～4 のいずれか一つに記載の電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、自動車、電気車両、建設機械、各種民生機器（ビデオ機器、テレビジョン受像機、オーディオ機器など）、各種産業機器（パーソナルコンピュータ、通信機器、FA用制御機器など）などに用いられる各種の電源装置に関するものである。

【0002】

【従来の技術】

従来から、各種の電源装置には、ダイオード、サイリスタ、トライアック、GTO（Gate Turn Off）サイリスタ、バイポーラトランジスタ、MOS-FET、IGBT（絶縁ゲートバイポーラトランジスタ：Insulated Gate Bipolar Tra

nsist r) 等のパワー半導体デバイスが用いられている。これらのパワー半導体デバイスは、スイッチング制御あるいはアナログ的制御によって、パワー半導体デバイス内を流れる主電流を制御し、スイッチングレギュレータやリニアレギュレータ等の安定化電源装置あるいは任意の周波数および出力電圧をもつ電力に変換するインバータを実現する核となるデバイスである。

【0003】

これらのパワー半導体デバイスは、スイッチング時の過渡的な電圧と電流との重なりによるスイッチング損失と導通時に発生する導通損失とが存在し、これらの損失は主として熱に変換される。なお、導通損失は、オン抵抗が低いほど小さくなる特性を有する。このオン抵抗は、パワー半導体デバイスにおける電極と半導体層界面との接触抵抗を除いた半導体内部のチャネル抵抗とバルク抵抗などの合成抵抗に相当する。このパワー半導体デバイスによって発生する熱は、パワー半導体デバイス自体の温度上昇を招き、この温度上昇によってパワー半導体デバイスが高温動作し、この高温動作によってパワー半導体デバイスの発熱を促進するという正帰還を生じさせ、結果として、熱暴走によるパワー半導体デバイスの熱破壊をもたらす。

【0004】

このため、電源装置は、パワー半導体デバイス自体に放熱機構を持たせ、さらにはパワー半導体デバイスが発生する熱を放熱する放熱フィン等の放熱器を持たせるのが通常である。さらに、放熱効果を向上させるために放熱ファンを持たせる場合もある。さらに、パワー半導体デバイスの温度をセンシングして、熱暴走に至る温度まで上昇すると、動作を停止させる等のフェールセーフ機構を持たせている。

【0005】

【発明が解決しようとする課題】

しかしながら、放熱器は、ヒートシンクとしての機能をも持たせるべく、アルミニウム等の良熱伝導性材料によって形成されるため、電源装置全体が大重量化および大容量化するという問題点があった。特に、車両等の移動体用あるいは携帯用の電源装置では、小型軽量化した電源装置の出現が強く要望されている。

【 0 0 0 6 】

たとえば、図 1 0 に示す従来の電源装置では、大重量、かつ大容量の放熱器 2 0 2 を必要とする。図 1 0 に示した電源装置は、車両の D C - D C コンバータ電源装置であり、S i 系半導体材料を用いた M O S - F E T がスイッチング素子として組み込まれている。装置本体 2 0 1 内には、電源装置を構成する各素子が組み込まれている。装置本体 2 0 1 の上部には、アルミニウムによって形成された放熱器 2 0 2 が設けられる。この放熱器 2 0 2 と装置本体 2 0 1 との接合面では、図示しない M O S - F E T が放熱器 2 0 2 に密着し、M O S - F E T が発する熱は、放熱器 2 0 2 によって吸収され、放熱器 2 0 2 上部のフィンによって放熱される。この放熱器 2 0 2 の設置のために、電源装置全体の重量および容積が極端に大きくなってしまっている。

【 0 0 0 7 】

また、放熱器は、パワー半導体デバイスからの熱を良好に伝達させるために、パワー半導体デバイスに密着させる必要があることから、電源装置の筐体の外周や放熱経路を十分考慮した上で配置させる必要があるという設計上の制限をもたらし、電源装置の設計の自由度を減少させるという問題点があった。これに加えて、電源装置を用いる車両等の機器は、この電源装置の配置位置によって機器全体の設計変更をしなければならず、機器全体の設計にも大きな影響を及ぼすという問題点もあった。

【 0 0 0 8 】

さらに、放熱器の設計に当たっては、電源装置の周囲環境も考慮した十分な放熱設計が行われる必要があるとともに、熱源であるパワー半導体デバイスによって、耐熱性が低い他の回路素子に影響が及ばないようにしなければならず、放熱設計および電源装置を構成する他の回路素子の配置設計に多大の時間と労力とがかかるという問題点があった。

【 0 0 0 9 】

また、電源装置の熱暴走を防止するための熱保護回路が必要となる。この熱保護回路は、電源装置内のパワー半導体デバイス等の重要部品の温度変化を監視し、一定温度まで上昇した場合に、電源装置を停止させ、低消費モードに移行させ

るなどのフェールセーフ制御を行う。ここで、この熱保護回路は、温度、出力電流等をセンシングし、論理処理回路を用いてフェールセーフ制御に移行する処理を行う複雑な回路であり、電源装置は、このような複雑な回路をもつ熱保護回路を設けなければならないという問題点があった。

【0010】

なお、近時、高耐熱性、高耐圧性、高速動作、および導通損失の低い半導体デバイスとしてGaN（窒化ガリウム）-FET（電界効果トランジスタ）が開発されている。

【0011】

この発明は、上記に鑑みてなされたもので、小型軽量化を実現し、放熱設計を含めた設計を柔軟に行うことができ、設計にかかる時間と労力とを格段に減少させることができる電源装置を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記目的を達成するため、本発明の請求項1にかかる電源装置は、電力制御対象である主電流上に配置し、GaN系化合物を用いて形成した半導体素子と、前記半導体素子を流れる主電流の導通を制御する制御手段と、を備えたことを特徴としている。

【0013】

この発明によれば、GaN系化合物を用いて形成した半導体素子を電力制御対象である主電流上に配置し、制御手段が、前記半導体素子を流れる主電流の導通を制御する。半導体素子は、導通時の抵抗が小さいため、発熱がほとんどなく、電源装置に放熱器を備える必要がなくなる。また、半導体素子を放熱器に密着させる必要がなくなり、半導体素子は、電源装置内の任意の位置に配置することができる。

【0014】

また、本発明の請求項2にかかる電源装置は、電力制御対象である主電流上に配置し、GaN系化合物を用いて形成した半導体素子と、前記半導体素子を流れる主電流の導通をスイッチング制御する制御手段と、を備えたことを特徴として

いる。

【 0 0 1 5 】

この発明によれば、G a N系化合物を用いて形成した半導体素子を電力制御対象である主電流上に配置し、制御手段が、前記半導体素子を流れる主電流の導通をスイッチング制御する。半導体素子は、導通時の抵抗が小さいため、発熱がほとんどなく、電源装置に放熱器を備える必要がなくなる。また、半導体素子を放熱器に密着させる必要がなくなり、半導体素子は、電源装置内の任意の位置に配置することができる。

【 0 0 1 6 】

また、本発明の請求項 3 にかかる電源装置は、上記請求項 1 または 2 に記載の発明において、前記半導体素子を複数備え、前記複数の半導体素子を並列接続したことを特徴としている。

【 0 0 1 7 】

この発明によれば、電力制御対象である主電流上に配置される半導体素子を複数設け、各半導体素子を並列接続し、制御できる主電流の限界を大幅に向上させるようにしている。なお、半導体素子を並列接続した場合でも、半導体素子自体の発熱がほとんどないため、半導体素子自体の温度はほとんど上昇せず、温度特性のバラツキによる各半導体素子間の電流アンバランスは小さい。

【 0 0 1 8 】

また、本発明の請求項 4 にかかる電源装置は、上記請求項 3 に記載の発明において、前記複数の半導体素子を隣接配置したことを特徴としている。

【 0 0 1 9 】

この発明によれば、電力制御対象である主電流上に配置される半導体素子を複数設け、各半導体素子を並列接続する際、電源装置内における半導体素子どうしを隣接配置するようにしている。

【 0 0 2 0 】

また、本発明の請求項 5 にかかる電源装置は、上記請求項 1 ～ 4 のいずれか一つに記載の発明において、前記半導体素子は、G a N - F E Tであることを特徴としている。

【0021】

この発明によれば、電力制御対象である主電流上に配置される半導体素子を GaN-FET で形成し、導通時の抵抗を極めて小さくし、半導体素子の発熱がほとんどないようにしている。

【0022】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる電源装置の好適な実施の形態を詳細に説明する。

【0023】

(実施の形態1)

図1は、この発明の実施の形態1である電源装置の概要回路構成を示す図である。この電源装置は、リニアレギュレータであり、直流12Vの入力電圧 V_{in} を、最大10Aとする直流5Vの出力電圧 V_{out} として変換出力する安定化電源装置である。

【0024】

図1において、GaN-FET10は、入力電圧 V_{in} 側の入力端子11と出力電圧 V_{out} 側の出力端子12との間に接続される。GaN-FET10のドレインDおよびソースSは、それぞれ入力端子11側および出力端子12側に接続され、GaN-FET10のゲートGは、ツェナーダイオードZDに接続される。すなわち、GaN-FET10は、入力電圧 V_{in} 側から出力端子 V_{out} 側に流れる主電流を制御する。

【0025】

電解コンデンサC1は、入力電圧 V_{in} がブリッジダイオードなどによって全波整流されている場合に電圧波形を平滑するコンデンサである。ツェナーダイオードZDおよび抵抗Rは、シャントレギュレータを形成し、12Vの入力電圧 V_{in} を5Vの出力電圧 V_{out} に電圧設定する。ここで、出力電圧 V_{out} は、ツェナーダイオードZDの端子電圧を電圧 V_z とし、GaN-FET10のゲート・ソース間電圧を電圧 V_{gs} とすると、出力電圧 V_{out} は、次式(1)で示される。

【0026】

すなわち、

$$V_{ut} = V_z - V_{gs} \quad \dots (1)$$

となる。ここで、ツェナーダイオードZDの電圧 V_z は、具体的に5.6Vに設定され、電圧 V_{gs} は0.3Vであるため、出力電圧 V_{out} は、 $5.6V - 0.3V = 5.3V$ として出力される。なお、セラミックコンデンサC2は、GaN-FET10の発振防止用のコンデンサである。また、電解コンデンサC3は、出力電圧 V_{out} に接続される図示しない負荷の瞬時的な変動を平滑するためのコンデンサである。これによって、図1に示した電源装置は、出力電圧 V_{out} を5.3Vとする安定した電源電圧を負荷に対して供給する。

【0027】

ここで、一般的なFETとしては、微細加工が容易なSi系半導体を用い、高速動作を可能とするFETの場合には、GaAs系化合物半導体を用いていた。図1に示したGaN-FET10は、GaN系化合物半導体を用い、高耐熱性、高耐圧性、高速動作、および導通損失の低いFETであり、たとえば、HEMT型、MES（金属-半導体）型FET構造である。

【0028】

図2に示したGaN-FET10は、半絶縁性のサファイア基板1の上に、GaNバッファ層2を積層し、半絶縁性のGaN層3およびn型AlGaN層4を順次積層し、さらにn型AlGaN層4の表層部中央の一部にInとCまたはMgがドーピングされた拡散層4aが形成され、拡散層4a上にゲートGの電極が装荷される。n型AlGaN層4の表層部の他の部分には、n型GaN層5が積層され。n型AlGaN層4の表層部の他の部分のうちの一方は、ソースSの電極が装荷され、他方は、ドレインDの電極が装荷される。各電極の以外の部分は、SiO₂の絶縁膜6で被覆される。

【0029】

図2に示したGaN-FET10の各半導体層は、GaN系化合物半導体によって形成され、MOCVD法あるいはMBE法などのエピタキシャル結晶成長法を用いて成膜される。GaN系化合物半導体とは、GaN、AlGaN、InGaN、InAlGaN、InGaNA_s、InGaN_P等の総称である。

【0030】

GaN-FET10は、Si系半導体のFETに比して、単位面積当たりのオン抵抗が $\sim 1/100$ 以下の値になり、導通損失が小さい。このため、GaN-FET10自体の発熱量は極端に小さくなる。また、Si系半導体の動作温度が最大 $125^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 程度であるのに対し、GaN-FET10は、 500°C でも安定動作が可能である。ここで、GaN-FET10は、最大で 10A の電流を導通させるため、GaN-FET10のチャネル（ジャンクション）発熱最大温度 $T1chmax$ を、最大 10A の電流を導通させるSi系半導体のFETのチャネル発熱最大温度 $T2chmax$ と比較して検討する。

【0031】

チャネル発熱最大温度 $Tchmax$ は、周囲最大温度 $Tamax$ 、オン時最大抵抗 $Ronmax$ 、オン時最大電流 $Ionmax$ 、チャネルと周囲との間の熱抵抗係数 $Rth(ch-a)$ を用いると、次式（2）として表すことができる。すなわち、

$$Tchmax = Tamax + Ronmax * Ionmax * Ionmax * Rth(ch-a) \quad \dots (2)$$

である。

【0032】

ここで、周囲最大温度 $Tamax$ を 85°C とし、熱抵抗係数 $Rth(ch-a)$ を $50^{\circ}\text{C}/\text{W}$ とし、Si系半導体のFETのオン時最大抵抗 $Ronmax$ を 0.013Ω とすると、Si系半導体のFETのチャネル発熱最大温度 $T2chmax$ は、

$$\begin{aligned} T2chmax &= 85^{\circ}\text{C} + 0.013\Omega * 10\text{A} * 10\text{A} * 50^{\circ}\text{C}/\text{W} \\ &= 150^{\circ}\text{C} \end{aligned}$$

となる。

【0033】

一方、GaN-FET10のチャネル発熱最大温度 $T1chmax$ は、Si系半導体のFETのオン時最大抵抗 $Ronmax$ の $1/100$ 以下であるため、

$$\begin{aligned} T2chmax &= 85^{\circ}\text{C} + (0.013\Omega / 100) * 10\text{A} * 10\text{A} * 50^{\circ}\text{C}/\text{W} \\ &= 85.65^{\circ}\text{C} \end{aligned}$$

となる。

【0034】

この結果、最大10Aの電流が導通した場合、Si系半導体のFETでは150℃まで温度上昇したにもかかわらず、GaN-FET10は、ほとんど周囲温度 T_{amax} と同じであり、ほとんど温度上昇していないことがわかる。このため、図1に示した電源装置のGaN-FET10を冷却するための放熱器は不必要となる。

【0035】

図3は、Si系半導体のFETを用いた場合の電源装置とGaN-FET10を用いた場合の電源装置との構造の差異を示す図である。図3(a)は、図10に示した従来の電源装置に対応した電源装置の断面図であり、Si系半導体のFET20を用いている。FET20は発熱量が大きいので、良熱伝導性のアルミニウムによって形成された放熱器22を装置本体21の上部に設け、放熱器22の一端面は、装置本体21側に向けられ、装置本体21の蓋としての機能をなすとともに、放熱器22の他端面には、放熱フィンが設けられてFET20によって発生した熱を周囲に放射する。この従来の電源装置における発熱は、FET20による発熱が大部分を占めるため、FET20は、放熱器22の一端面に接触面積を大きくして接合される。

【0036】

これに対し、図3(b)は、GaN-FET10を用いた電源装置の断面図であり、放熱器22が設けられていない点が、図3(a)に示した電源装置と異なる。これは、上述したように、図3(b)に示した電源装置が発熱の少ないGaN-FET10を用いているからである。この結果、GaN-FET10を用いた電源装置では、重量および容量の大きな放熱器22を削除することができるので、電源装置の小型軽量化を実現することができるとともに、放熱器22の設計のための放熱設計計算を行わなくてもよいことになる。

【0037】

また、GaN-FET10自体が発熱しないため、GaN-FET10は、装置本体23の任意の箇所に配置することができる。このため、電源装置を構成する各素子の配置、すなわちレイアウト設計を柔軟に行うことができる。

【0038】

さらに、 GaN-FET10 の発熱を考慮しなくてもよいので、電源装置全体の放熱設計が容易になるとともに、レイアウト設計が柔軟に行えることから、図3(c)に示すように、電源装置を構成する各素子のレイアウトを集積化することが可能となる。この結果、電源装置本体23自体を縮小した電源装置本体24とすることができる。これによって、一層、電源装置の小型軽量化が実現される。さらに、電源装置の小型軽量化と、電源装置自体の発熱が少ないことから、電源装置を用いた車両等の機器の任意の箇所に、この電源装置を配置することができる。

【0039】

なお、図3(b)，(c)に示した GaN-FET10 の大きさを図3(a)に示した FET20 の大きさに比して小さくしたのは、 GaN-FET10 自体の発熱量が小さいため、 GaN-FET10 自体の放熱構造が不要となり、 GaN-FET10 自体が小型軽量化されるからである。

【0040】

また、図1に示した電源装置は、最も簡易なりニアレギュレータの一例を示したが、さらに負荷変動に伴う出力電圧 V_{out} を安定化するための回路を設けるようにしてもよい。たとえば、出力電圧 V_{out} 間に、直列接続した抵抗を用いて分圧し、各抵抗を半固定抵抗として微調整することによって、ツェナーダイオード ZD の電圧 V_z を調整するようにしてもよい。

【0041】

さらに、直列接続した抵抗の分圧と基準電圧とを比較する差動アンプを用いて過電流や負荷短絡からの保護を行う保護回路を設けるようにしてもよい。ただし、過電流によっても、 GaN-FET10 自体は、温度上昇がほとんどないため、熱保護回路を簡素化し、または熱保護回路を設けなくてもよい。この場合、入力電圧 V_{in} 側にヒューズ等を設けておくことによって、他素子の破壊を防止すればよい。この結果、 GaN-FET10 を用いた電源装置では、熱保護回路の簡素化または削減が可能であるため、一層、電源装置の小型軽量化が促進され、電源装置の設計にかかる時間と労力とを削減することができる。

【 0 0 4 2 】

この実施の形態 1 によれば、オン抵抗の小さい GaN-FET10 を用いているので、電源装置の放熱器 22 を必要とせず、電源装置内において GaN-FET10 を任意の位置に配置することができるため、電源装置を格段に小型軽量化することができる。また、放熱器を含む放熱設計および熱保護回路の設計にかかる時間と労力とを軽減することができるとともに、 GaN-FET10 を電源装置内において任意の位置に配置することができるので、電源装置全体のレイアウト設計にかかる時間と労力をも軽減することができる。さらに、 GaN-FET10 自体の発熱量が小さく、かつ 500°C 以上の高耐熱性を有するため、電源装置の長時間使用が可能となり、電源装置にかかるメンテナンスも軽減される。

【 0 0 4 3 】

(実施の形態 2)

つぎに、この発明の第 2 の実施の形態について説明する。この実施の形態 2 による電源装置では、 GaN-FET10 を並列接続するようにしている。

【 0 0 4 4 】

図 4 は、この発明の実施の形態 2 である電源装置の概要回路構成を示す図である。図 4 に示した電源装置では、 GaN-FET10 と同じ構成の GaN-FET30 を並列接続した構成としている。 GaN-FET10 と GaN-FET30 との並列接続とは、各 GaN-FET10 、 30 のソース S 、ドレイン D 、ゲート G を接続することである。その他の構成は、図 1 に示した電源装置と同じであり、同一構成部分には同一符号を付している。

【 0 0 4 5 】

上述したように、 GaN-FET10 、 30 自体は、オン抵抗が極めて小さいため、導通損失が少なく、発熱量が小さい。このため、複数の GaN-FET の隣接配置が可能となり、 GaN-FET10 単体のときに比較して、大きな重量変化および容積変化を伴わない GaN-FET の並列接続が可能となる。結果として、電源装置の最大電流値を倍増することができる。すなわち、図 4 に示した GaN-FET10 、 30 は、それぞれ最大 10A の電流を導通させることが可能であったが、これらを並列接続させることによって、最大 20A の電流を導通

させることができる。その結果、電源装置全体の電力供給能力が倍増することになる。

【0046】

図5は、Si系半導体のFETを用いた場合の電源装置と、並列接続したGaN-FET10, 30を用いた場合の電源装置との構造の差異を示す図である。図5(a)は、図3(a)に示した従来の電源装置の断面図である。図5(b)は、並列接続したGaN-FET10, 30を隣接配置した電源装置の断面図である。並列接続したGaN-FET10, 30と同じ20Aの電流を導通させる電源装置をSi系半導体のFET20を用いて実現する場合、FET20の発熱量がさらに大きくなるため、図5(a)に示した放熱器22をさらに大きなものとしなければならない。

【0047】

これに対し、図5(b)に示した電源装置では、図5(a)に示した電源装置の電力供給量の2倍の能力を有するにもかかわらず、放熱器22を不要とすることから、格段の小型軽量化を実現している。また、各GaN-FET10, 30は隣接配置することが可能であるので、電源装置の設計も容易となる。

【0048】

また、図5(c)では、図3(c)と同様に、電源装置を構成する各素子のレイアウト設計を柔軟に行うことによって、一層、小型軽量化した電源装置を実現している。

【0049】

なお、図4では、2つのGaN-FET10, 30を並列接続した構成としたが、これに限らず、3つ以上のGaN-FETを並列接続した構成としてもよい。この場合、さらに電力供給能力を向上させることができる。

【0050】

この実施の形態2によれば、実施の形態1の作用効果に加え、GaN-FET10, 30を並列接続するのみで、1つのGaN-FETを用いたときの重量および容積と同じ規模で電源装置自体の電力供給能力を倍増することができる。また、大電流の通電を可能とするGaN-FET単体の開発が進行中である現状を

考えると、GaN-FETの並列接続は、大電力用電源装置の小型軽量化を容易に実現するための有効な手段となる。

【0051】

(実施の形態3)

つぎに、この発明の実施の形態3について説明する。上述した実施の形態1, 2では、いずれもリニアレギュレータとしての電源装置であったが、この実施の形態3では、スイッチングレギュレータとしての電源装置に上述したGaN-FETを用いるようにしている。

【0052】

図6は、この発明の実施の形態3である電源装置の概要回路構成を示す図である。図6に示す電源装置は、スイッチングレギュレータである。すなわち、実施の形態1, 2で示した電源装置は、GaN-FET10, 30を用いて電流量をリニアに制御するようにしていたが、この電源装置では、スイッチング制御によって電流量を制御するようにしている。

【0053】

図6に示したスイッチングレギュレータは、フォワード型のスイッチングレギュレータである。このスイッチングレギュレータでは、パルス幅制御回路41が出力するパルス幅変調(PWM)信号がGaN-FET40のゲートに印加され、GaN-FET40がスイッチングされる。GaN-FET40がオンのとき、電解コンデンサC41に蓄積された入力電圧 V_{in} のエネルギーは、トランスT1、ダイオードD1、インダクタL1を介し、電解コンデンサC42に転送される。GaN-FET40がオフのとき、インダクタL1に残ったエネルギーは、ダイオードD2を介して電解コンデンサC42に転送される。電解コンデンサC42は、出力電圧 V_{out} として出力する。

【0054】

差動アンプ42は、出力電圧 V_{out} 間に直列接続された抵抗R1, R2の分圧と基準電圧 V_{ref} とを比較し、負荷変動に伴う制御量をフォトカプラPCを介してパルス幅制御回路41に通知する。パルス幅制御回路41は、フォトカプラPCから入力された制御量に対応したPWM信号をGaN-FET40のゲートに

印加し、 Ga N-FET 40 の通電量を制御することによって、出力電圧 V_{ut} 側（2次側）の電力制御を行う。

【0055】

このスイッチングレギュレータでは、一次側のスイッチング素子として Ga N-FET 40 を用いているが、この Ga N-FET 40 は、実施の形態1、2における Ga N-FET 10 、 30 と同様に、従来の Si 系半導体の FET に比して、オン抵抗が小さい。したがって、 Ga N-FET 40 自体による発熱量はほとんどなく、放熱のための放熱器が不要となる。

【0056】

また、 Ga N-FET 40 自体の発熱がほとんどないことと、放熱器を不要とすることから、スイッチングレギュレータ内における Ga N-FET 40 の配置に任意にとることができる。この結果、スイッチングレギュレータの小型軽量化を実現できるとともに、放熱設計を含む設計にかかる時間と労力とを軽減することができる。

【0057】

図7は、この発明の実施の形態3である他の電源装置の概要回路構成を示す図である。図6に示した電源装置は、フォワード型のスイッチングレギュレータであったが、図7に示す電源装置は、フライバック型のスイッチングレギュレータである。すなわち、図6に示した電源装置は、 Ga N-FET 40 がオンのときに、1次側の電力エネルギーが2次側に転送されたが、図7に示した電源装置は、 Ga N-FET 50 がオフのときに、1次側の電力エネルギーが2次側に転送される。

【0058】

図7において、このスイッチングレギュレータでは、パルス幅制御回路51が出力するパルス幅変調（PWM）信号が Ga N-FET 50 のゲートに印加され、 Ga N-FET 50 がスイッチングされる。トランスT2の巻き方向は、トランスT1の巻き方向と異なり、 Ga N-FET 50 がオンのとき、入力電圧 V_{in} のエネルギーは、トランスT1に蓄積される。 Ga N-FET 50 がオフとき、トランスT2に蓄積されたエネルギーは、ダイオードD3を介して電解コンデン

サC52に転送され、電解コンデンサC52は、出力電圧 V_{out} を出力する。

【0059】

差動アンプ52は、出力電圧 V_{out} 間に直列接続された抵抗 R_1 、 R_2 の分圧と基準電圧 V_{ref} とを比較し、負荷変動に伴う制御量をフォトカプラPCを介してパルス幅制御回路51に通知する。パルス幅制御回路51は、フォトカプラPCから入力された制御量に対応したPWM信号をGaN-FET50のゲートに印加し、GaN-FET50の通電量を制御することによって、出力電圧 V_{out} 側の電力制御を行う。

【0060】

このフライバック型のスイッチングレギュレータも、GaN-FET50を用いているので、放熱器が不要となり、スイッチングレギュレータ全体の小型軽量化が実現され、放熱設計を含む設計を柔軟に行うことができる。

【0061】

同様にして、図8は、GaN-FETを用いた他のスイッチングレギュレータの一例を示している。図8(a)は、プッシュプル型（センタタップ型）のスイッチングレギュレータの一例を示す。また、図8(b)は、ハーフブリッジ型のスイッチングレギュレータの一例を示す。さらに、図8(c)は、フルブリッジ型のスイッチングレギュレータの一例を示す。図8(a)～図8(c)に示すスイッチングレギュレータでは、スイッチング素子としていずれもGaN-FET61、62、71、72、81～84を用いている。

【0062】

この図8(a)～図8(c)に示した各スイッチングレギュレータも、GaN-FET61、62、71、72、81～84を用いているので、放熱器が不要となり、スイッチングレギュレータ全体の小型軽量化が実現され、放熱設計を含む設計を柔軟に行うことができる。特に、スイッチング素子を複数用いているが、各スイッチング素子として複数のGaN-FET61、62、71、72、81～84を用いているので、GaN-FET間の隣接配置が可能となり、スイッチングレギュレータの小型軽量化を促進する。

【0063】

なお、その他のスイッチングレギュレータも同様にして、スイッチングレギュレータが用いるスイッチング素子をGaN-FETとすることによって、上述した作用効果を達成することができる。たとえば、RCC（リングング・チョーク・コイル）方式を用いた自励型のスイッチングレギュレータであってもよい。

【0064】

また、上述したスイッチングレギュレータは、いずれもパルス幅制御によるものであったが、これに限らず、パルスの周波数制御によって各GaN-FETの通電量を制御するようにしてもよい。

【0065】

この実施の形態3によれば、実施の形態1、2と同様に、電源装置がスイッチングレギュレータである場合でも、スイッチング素子にオン抵抗の小さいGaN-FETを用いることによって、電源装置の放熱器を必要とせず、電源装置内においてGaN-FETを任意の位置に配置することができるため、電源装置を格段に小型軽量化することができる。

【0066】

また、放熱器を含む放熱設計にかかる時間と労力とを軽減することができるとともに、GaN-FETを電源装置内において任意の位置に配置することができるので、電源装置全体のレイアウト設計にかかる時間と労力とを軽減することができる。さらに、GaN-FET自体は、発熱量が小さく、かつ高耐熱性を有しているため、電源装置の長時間使用が可能となり、電源装置にかかるメンテナンスも軽減される。

【0067】

（実施の形態4）

つぎに、この発明の実施の形態4について説明する。上述した実施の形態1～3の電源装置は、いずれもDC-DCコンバータであったが、この実施の形態4では、DC-ACインバータに用いられるスイッチング素子にGaN-FETを用いるようにしている。

【0068】

図9は、この発明の実施の形態4である電源装置の概要回路構成を示す図であ

る。図 9 に示した電源装置は、商用の三相交流電源 9 0 からの交流電流を整流回路 9 1 内のダイオード群によって整流し、電解コンデンサ C 9 1 によって平滑する。平滑された電流は、インバータ回路 9 2 によって所望の周波数および所望の出力電圧をもつ交流電流に変換され、誘導電動機 (IM) 9 4 に出力される。

【 0 0 6 9 】

インバータ回路 9 2 は、U 層、V 層、W 層の各相に対応して、それぞれ一对のスイッチング素子としての GaN-FET 1 0 1, 1 0 2, 1 0 3, 1 0 4, 1 0 5, 1 0 6 を有する。駆動制御部 9 3 は、各一对の GaN-FET 1 0 1 ~ 1 0 6 に対し、各相に対応する PWM 信号を送出して、各 GaN-FET 1 0 1 ~ 1 0 6 をスイッチング制御し、所望の周波数および出力電圧をもった三相交流電力を供給させる。なお、各 GaN-FET 1 0 2, 1 0 4, 1 0 6 に対しては、各 GaN-FET 1 0 1, 1 0 3, 1 0 5 の PWM 信号の反転信号がゲートに入力される。

【 0 0 7 0 】

図 9 に示したインバータとしての電源装置の場合も、GaN-FET 1 0 1 ~ 1 0 6 を用いているので、放熱器が不要となり、電源装置全体の小型軽量化が実現され、放熱設計を含む設計を柔軟に行うことができる。

【 0 0 7 1 】

なお、その他のインバータとしての電源装置、たとえば誘導加熱を用いた炊飯ジャーに用いられるインバータであって、1 つのスイッチング素子を用いて直流電流を所望の交流電流に変換するインバータの場合であっても、スイッチング素子を GaN-FET とすることによって、同様な作用効果を得ることができる。

【 0 0 7 2 】

この実施の形態 4 によれば、実施の形態 1 ~ 3 と同様に、インバータに用いられるスイッチング素子にオン抵抗の小さい GaN-FET を用いることによって、電源装置の放熱器を必要とせず、電源装置内において GaN-FET を任意の位置に配置することができるため、電源装置を格段に小型軽量化することができる。また、放熱器を設計するための放熱設計にかかる時間と労力とを軽減することができるとともに、GaN-FET を電源装置内において任意の位置に配置す

ることができるので、電源装置全体のレイアウト設計にかかる時間と労力とを軽減することができる。さらに、GaN-FET自体は、発熱量が小さく、かつ高耐熱性を有しているため、電源装置の長時間使用が可能となり、電源装置にかかるメンテナンスも軽減される。

【0073】

なお、上述した実施の形態1～4では、GaN-FETとしてMES型のFETを用いて説明したが、これに限らず、HEMT型、MOS型のFETであってもよい。また、サイリスタ、トライアック、GTOサイリスタ、バイポーラトランジスタ、MOS-FET、IGBTなどの各種半導体素子も、GaN系化合物半導体を用いた半導体素子としてもよい。

【0074】

また、上述した実施の形態1～4では、いずれもGaN系化合物半導体を用いた半導体素子を電源装置に適用する場合を示したが、これに限らず、オン抵抗を小さくできる半導体材料を用いた半導体素子であればよい。たとえば、SiC化合物半導体材料を用いた半導体素子としてもよく、AlN系化合物半導体材料を用いた半導体素子としてもよい。

【0075】

【発明の効果】

以上説明したように、請求項1にかかる発明によれば、GaN系化合物を用いて形成した半導体素子を電力制御対象である主電流上に配置し、制御手段が、前記半導体素子を流れる主電流の導通を制御するようにしているので、半導体素子は、導通時の抵抗が小さく、発熱がほとんどなく、電源装置に大重量および大容量の放熱器を備える必要がなくなるため、電源装置の小型軽量化を実現することができるとともに、放熱設計にかかる時間と労力とを格段に減少させることができるという効果を奏する。また、半導体素子を放熱器に密着させる必要がなくなり、半導体素子は、電源装置内の任意の位置に配置することができるため、放熱設計の容易さに加えて、電源装置全体の設計の自由度が増大し、ひいては電源装置内の各素子配置の集積化が可能となり、電源装置の小型軽量化を一層促進させることができるという効果を奏する。さらに、半導体素子自体の熱暴走がなくな

るため、過電流保護等の熱保護回路の簡素化を行うことができるという効果を奏する。

【 0 0 7 6 】

また、請求項 2 にかかる発明によれば、G a N 系化合物を用いて形成した半導体素子を電力制御対象である主電流上に配置し、制御手段が、前記半導体素子を通流する主電流の導通をスイッチング制御するようにしているので、半導体素子は、導通時の抵抗が小さく、発熱がほとんどなく、電源装置に大重量および大容量の放熱器を備える必要がなくなるため、電源装置の小型軽量化を実現することができるとともに、放熱設計にかかる時間と労力とを格段に減少させることができるという効果を奏する。また、半導体素子を放熱器に密着させる必要がなくなり、半導体素子は、電源装置内の任意の位置に配置することができるため、放熱設計の容易さに加えて、電源装置全体の設計の自由度が増大し、ひいては電源装置内の各素子配置の集積化が可能となり、電源装置の小型軽量化を一層促進させることができるという効果を奏する。さらに、半導体素子自体の熱暴走がなくなるため、過電流保護等の熱保護回路の簡素化を行うことができるという効果を奏する。

【 0 0 7 7 】

また、請求項 3 にかかる発明によれば、電力制御対象である主電流上に配置される半導体素子を複数設け、各半導体素子を並列接続し、制御できる主電流の限界を大幅に向上させることができるとともに、半導体素子の発熱がほとんどないので、1 つの半導体素子を配置した場合の電源装置とほぼ同じ重量、かつ同じ容量の電源装置によって、電力制御能力の高い電源装置を実現することができるという効果を奏する。

【 0 0 7 8 】

また、請求項 4 にかかる発明によれば、電力制御対象である主電流上に配置される半導体素子を複数設け、各半導体素子を並列接続する際、各半導体素子自体の発熱がほとんどないため、電源装置内における半導体素子どうしを隣接配置するようにしているので、設計の自由度をさらに向上させることができるという効果を奏する。

【0079】

また、請求項5にかかる発明によれば、電力制御対象である主電流上に配置される半導体素子をGaN-FETで形成し、導通時の抵抗を極めて小さくし、半導体素子の発熱がほとんどないようにしているので、電源装置の小型軽量化を一層促進するとともに、放熱設計を含む設計にかかる時間と労力とを格段に減少させることができるという効果を奏する。

【図面の簡単な説明】

【図1】

この発明の実施の形態1である電源装置の概要回路構成を示す図である。

【図2】

図1に示したGaN-FETの構成を示す図である。

【図3】

Si系半導体のFETを用いた場合の電源装置とGaN-FETを用いた実施の形態1の電源装置との構造の差異を示す図である。

【図4】

この発明の実施の形態2である電源装置の概要回路構成を示す図である。

【図5】

Si系半導体のFETを用いた場合の電源装置とGaN-FETを用いた実施の形態2の電源装置との構造の差異を示す図である。

【図6】

この発明の実施の形態3である電源装置の概要回路構成を示す図である。

【図7】

この発明の実施の形態3である他の電源装置の概要回路構成を示す図である。

【図8】

この発明の実施の形態3である他の電源装置の概要回路構成を示す図である。

【図9】

この発明の実施の形態4である電源装置の概要回路構成を示す図である。

【図10】

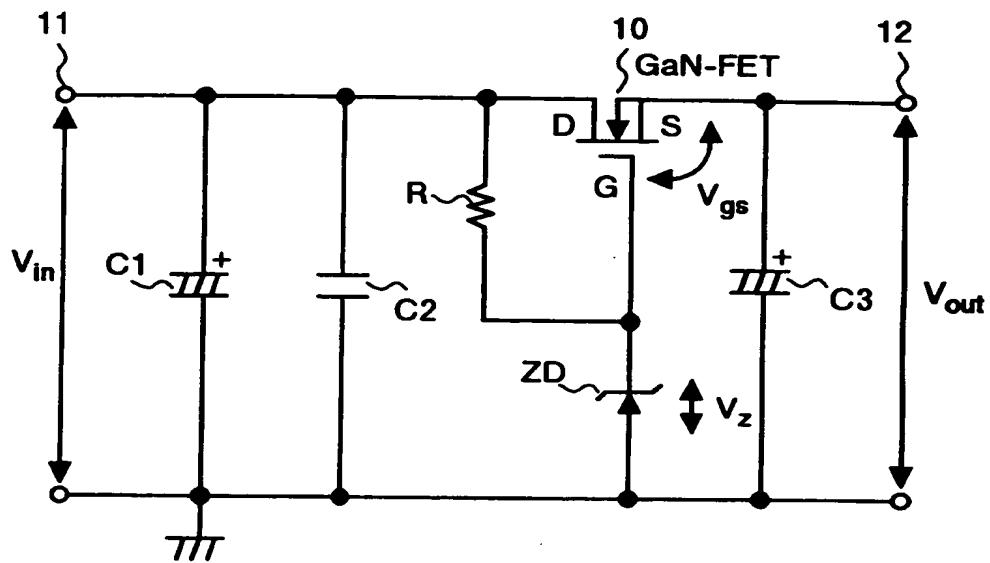
従来における電源装置の構成を示す斜視図である。

【符号の説明】

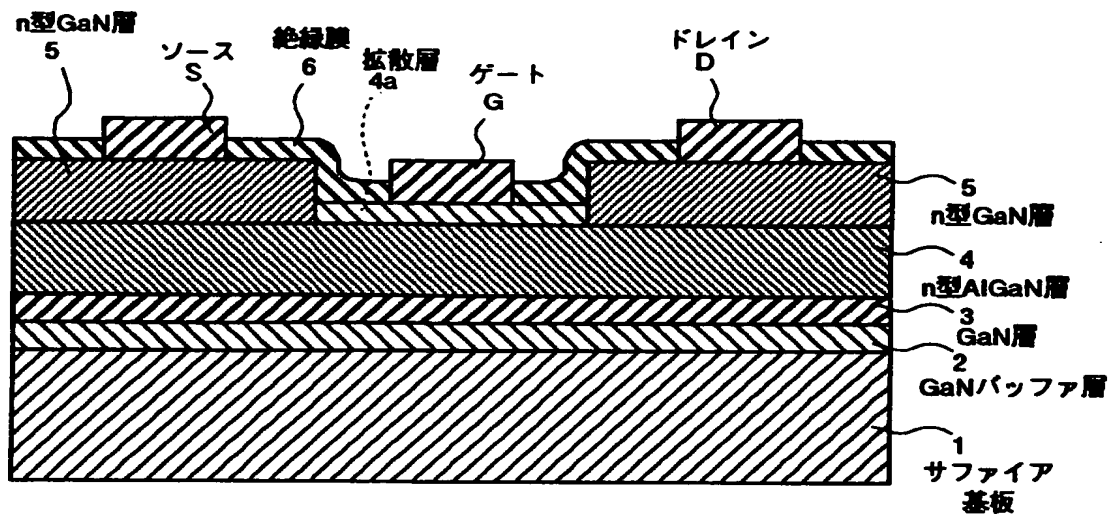
1 0, 3 0, 4 0, 5 0, 6 1, 6 2, 7 1, 7 2, 8 1 ~ 8 4, 1 0 1 ~
1 0 6 G a N - F E T
1 1 入力端子
1 2 出力端子
2 3, 2 4 装置本体
4 1, 5 1 パルス幅制御回路
9 1 整流回路
9 2 インバータ回路
9 3 駆動制御部
V in 入力電圧
V out 出力電圧
C 1, C 3 電解コンデンサ
Z D ツェナーダイオード
R, R 1, R 2 抵抗
T 1, T 2 トランス

【書類名】 図面

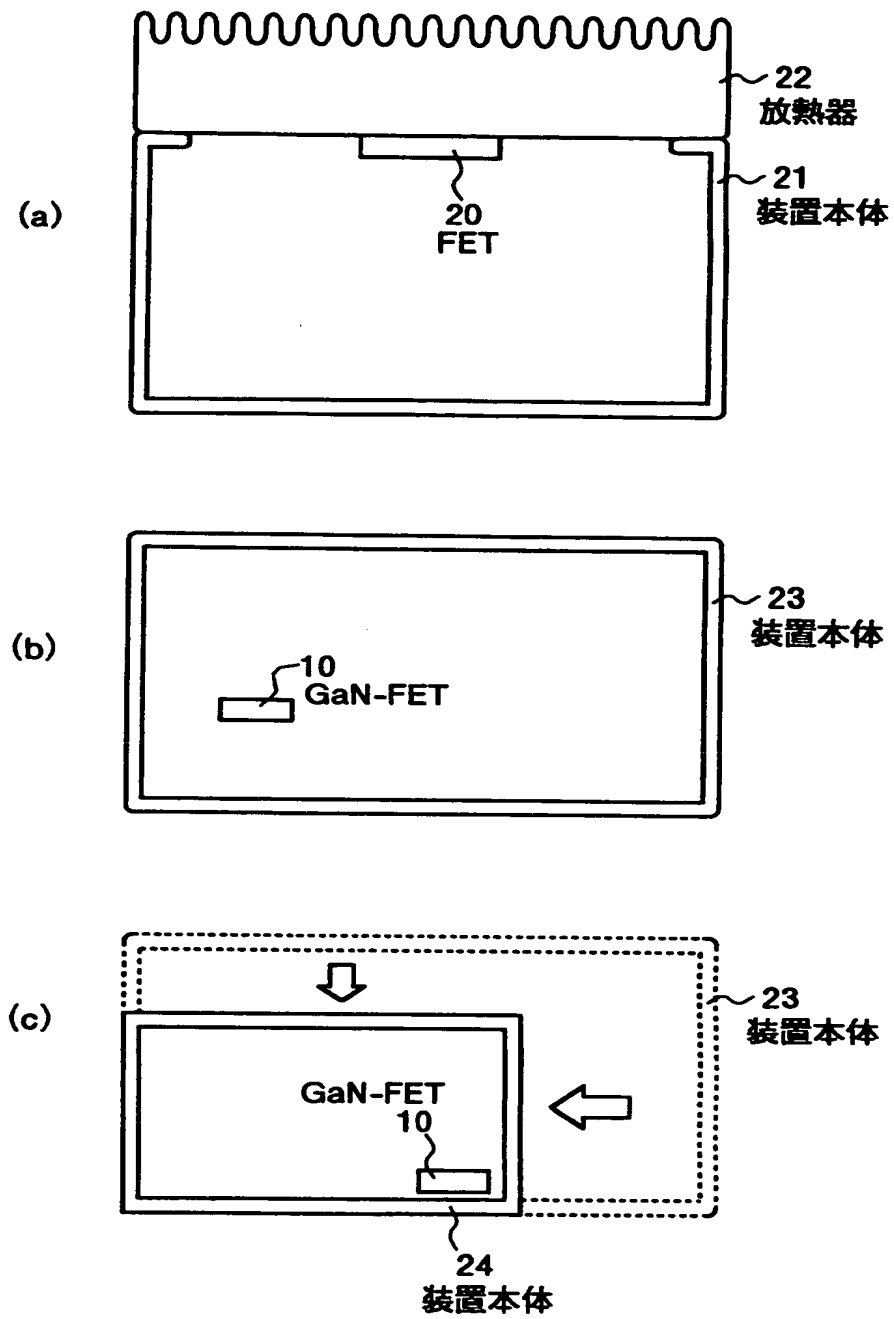
【図 1】



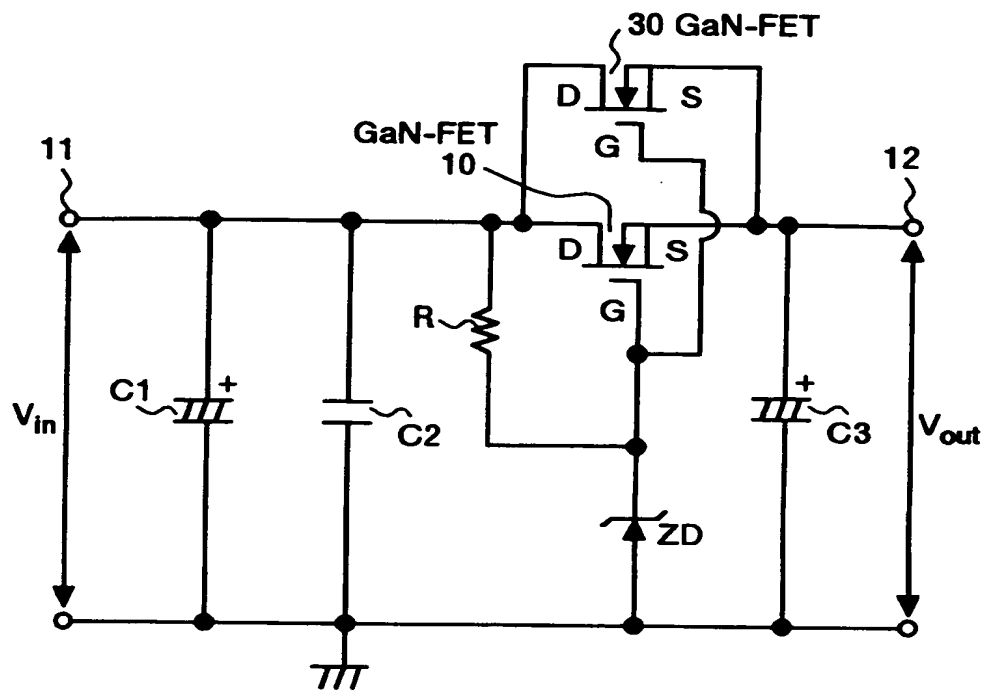
【図 2】



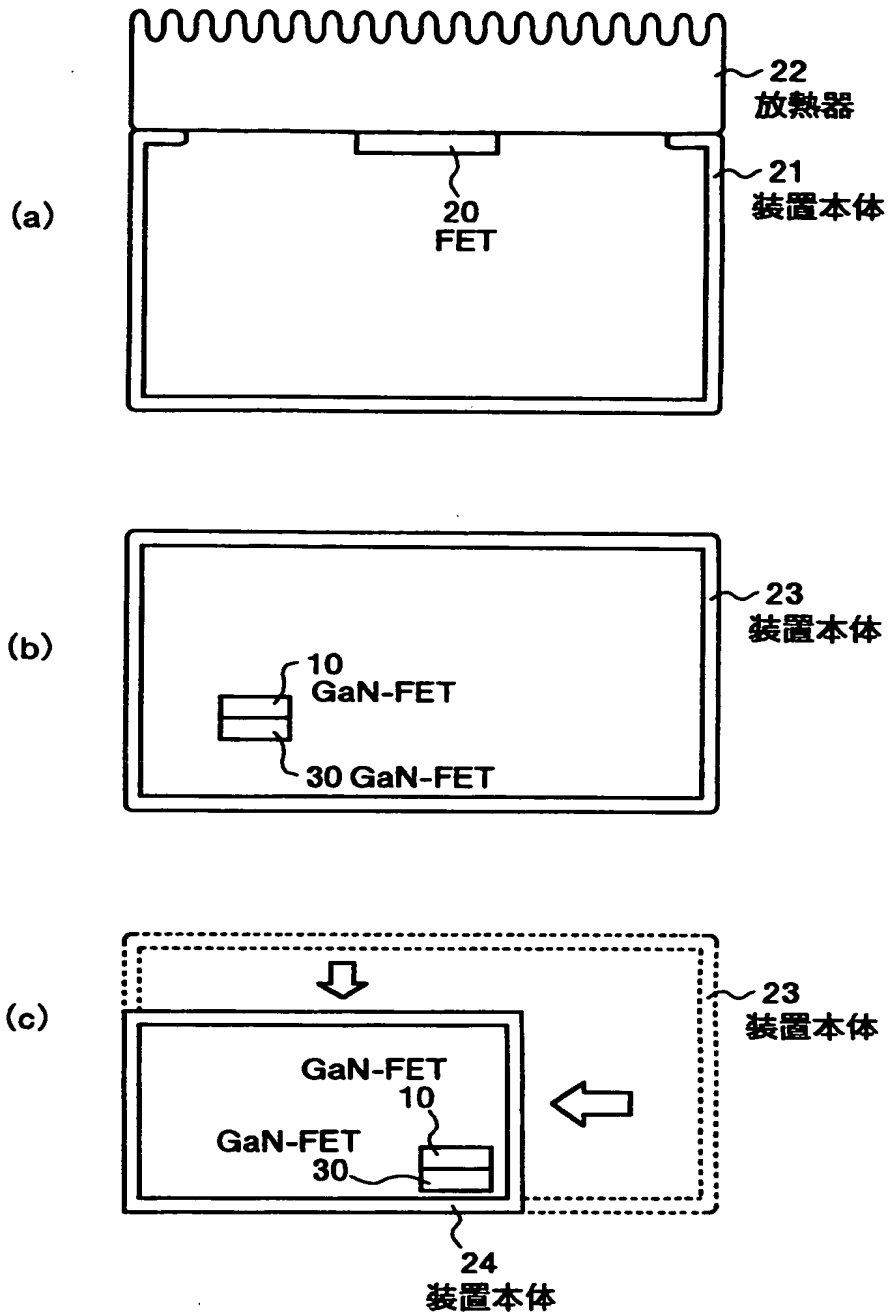
【図 3】



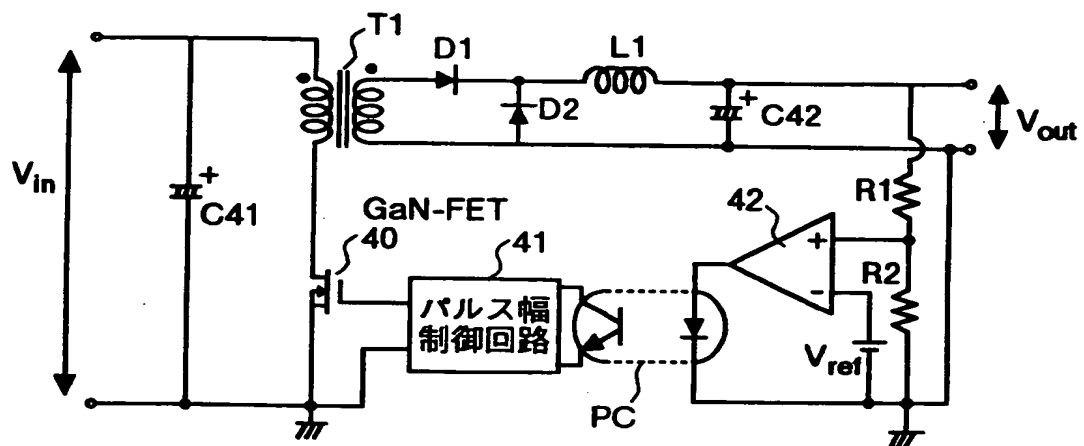
【図4】



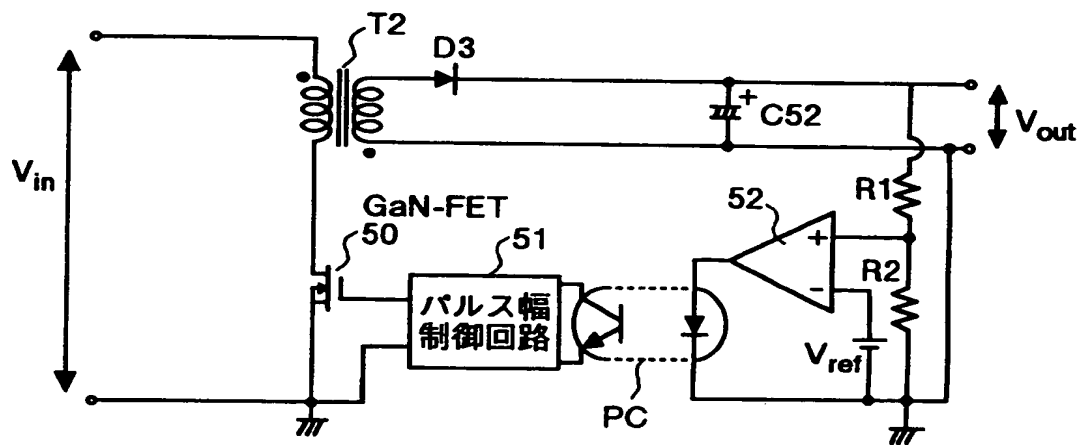
【図 5】



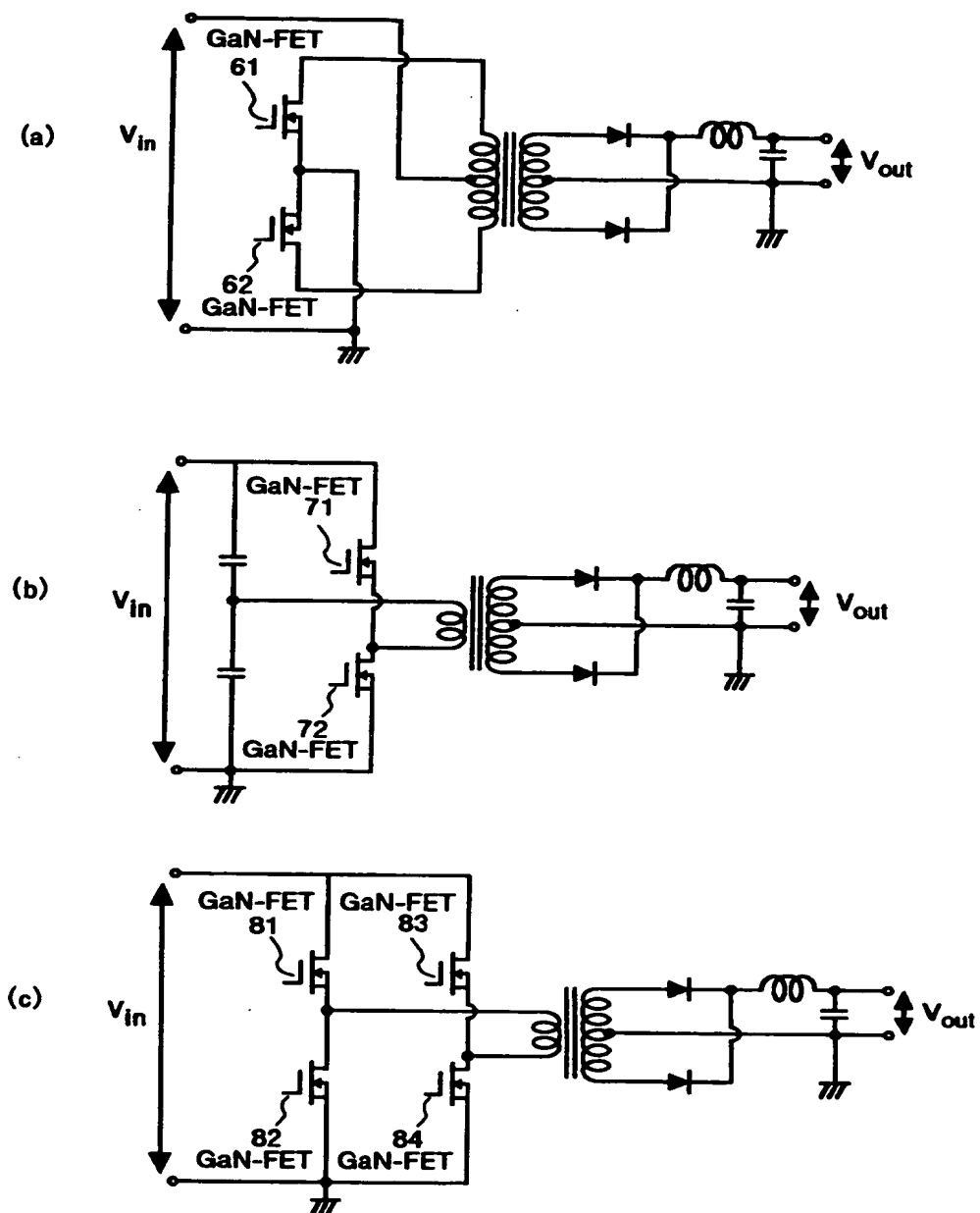
【図 6】



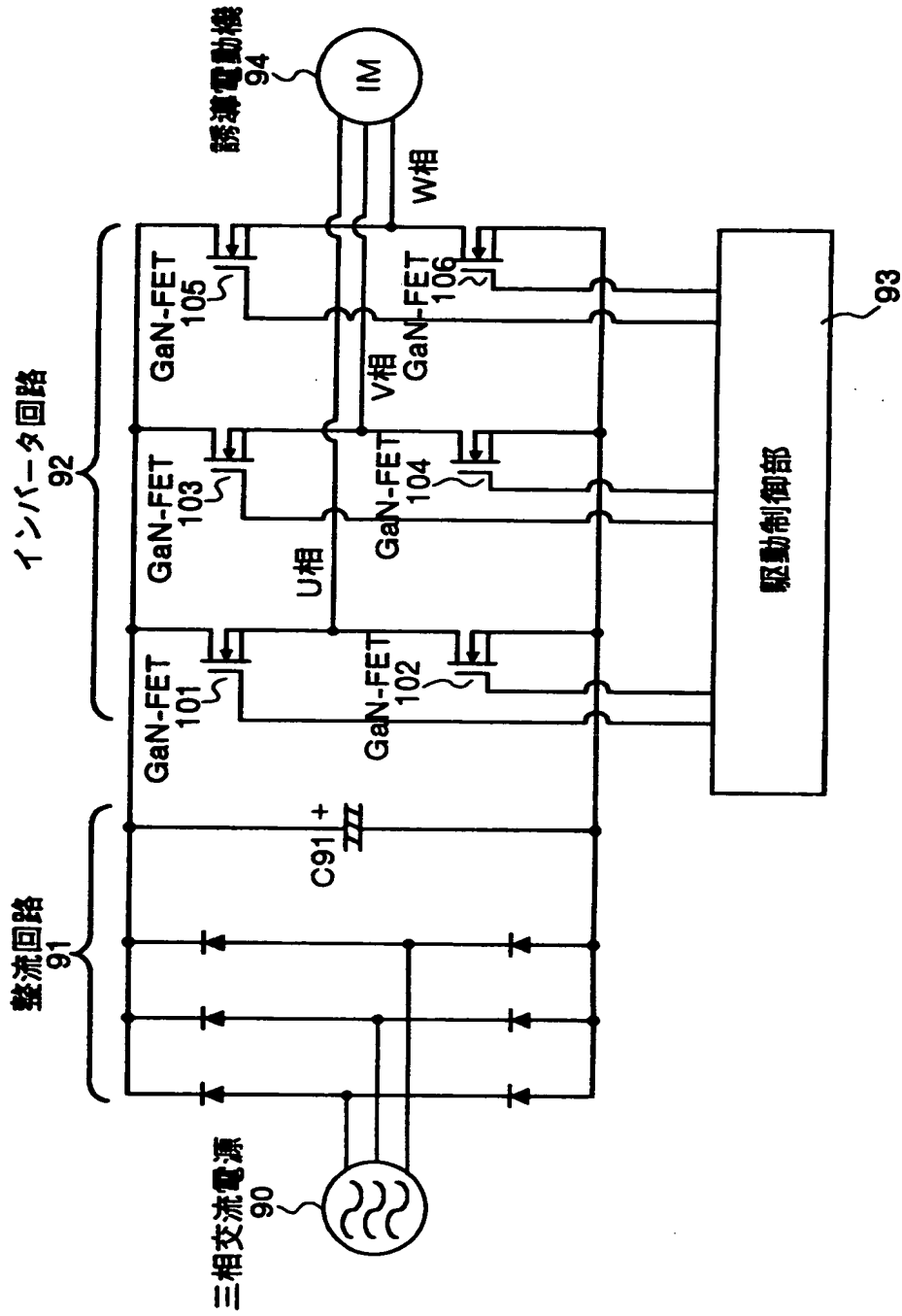
【図 7】



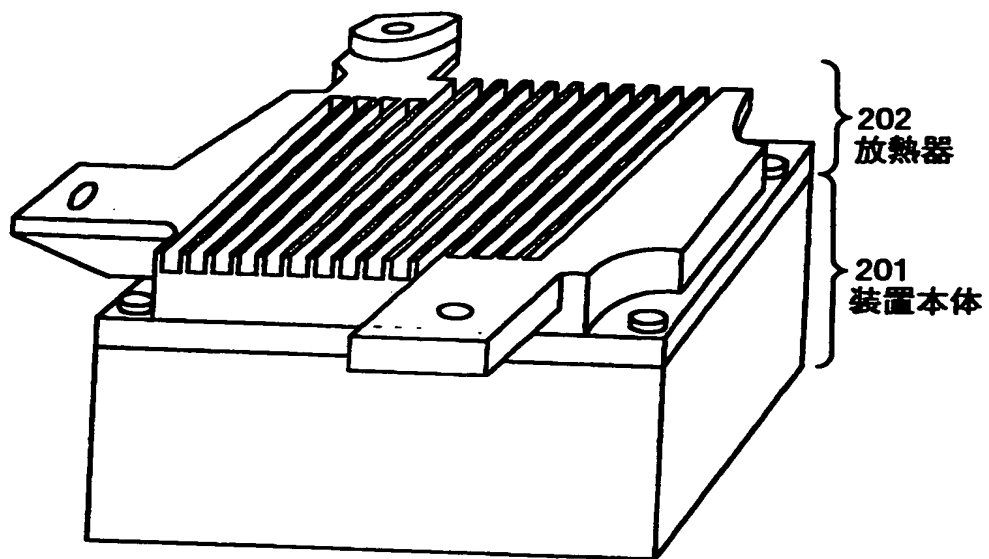
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 小型軽量化を実現し、放熱設計を含めた設計を柔軟に行うことができ、設計にかかる時間と労力とを格段に減少させること。

【解決手段】 入力端子 1 1 と出力端子 1 2 との間を流れる主電流上に配置し、導通時の抵抗が小さい G a N - F E T 1 0 と、出力電圧 V_{out} を設定するツェナーダイオード Z D および抵抗 R を備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005290]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目6番1号
氏 名 古河電気工業株式会社